

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-068261

(43)Date of publication of application : 03.03.2000

(51)Int.CI.

H01L 21/31

H01L 21/316

(21)Application number : 10-232671

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 19.08.1998

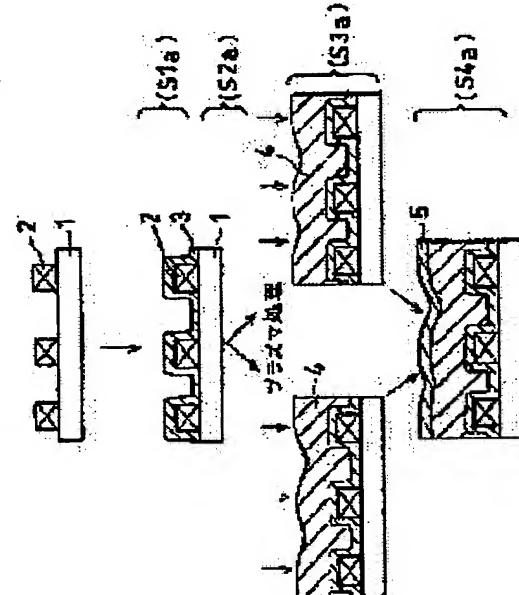
(72)Inventor : KUBO MAKOTO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a good insulating film by plasma treating with N₂O gas and O₂ gas or plasma treating with N₂ gas and NH₃ gas on a surface of the film formed by a plasma CVD method.

SOLUTION: An amorphous carbon hydrogen film, an amorphous carbon fluorine film or an amorphous silicon film is generated as a first insulating film 3 on a surface of a semiconductor substrate 1 formed with an element or wiring pattern 2 on its surface in a plasma reaction chamber by a plasma CVD method. Then, a surface of the formed film 3 is plasma treated. As the plasma treating, in the case of applying an APL film as a second insulating film 4, N₂O, O₂ plasma treatings are executed in the same reaction chamber. As the film 4, in the case of applying a TEOS O₃ film, after the film 3 is formed, N₂, NH₃ plasma treatings are executed in the chamber.



LEGAL STATUS

[Date of request for examination] 08.10.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than abandonment
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application] 14.07.2004

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-68261

(P2000-68261A)

(43) 公開日 平成12年3月3日(2000.3.3)

(51) Int.Cl.⁷

H 01 L 21/31
21/316

識別記号

F I

H 01 L 21/31
21/316

テマコト[®](参考)

C 5 F 0 4 5
P 5 F 0 5 8

審査請求 未請求 請求項の数7 OL (全7頁)

(21) 出願番号 特願平10-232671

(22) 出願日 平成10年8月19日(1998.8.19)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 久保 誠

福岡県北九州市小倉北区下到津1丁目10番
1号 株式会社東芝北九州工場内

(74) 代理人 100081732

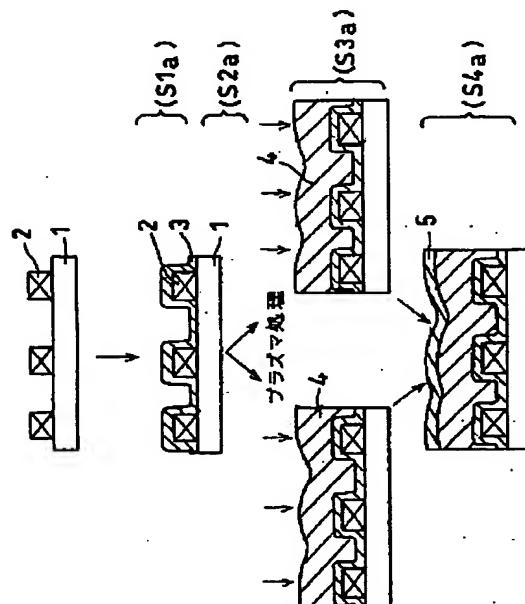
弁理士 大胡 典夫 (外1名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】 半導体装置の製造方法で、特に多層配線構造を有する半導体装置の層間絶縁膜を少ない工程で形成するための製造方法。

【解決手段】 半導体装置の製造で、多層配線工程中の層間絶縁膜の形成工程での低誘電率な第一絶縁膜3(アモルファスカーボン水素膜、アモルファスカーボンフッ素膜やアモルファスシリコン膜)の表面をプラズマ処理を施した後に、その表面上に第二の絶縁膜4を成膜する。



【特許請求の範囲】

【請求項1】 表面に素子または配線を有する半導体基板の前記表面に第一の絶縁膜を堆積する半導体装置の製造方法において、

前記第一の絶縁膜は、プラズマCVD法により形成された後に、その表面にN₂OガスとO₂ガスによるプラズマ処理、又はN₂ガスとNH₃ガスによるプラズマ処理を施すことを特徴とする半導体装置の製造方法。

【請求項2】 前記第一の絶縁膜の表面にN₂OガスとO₂ガスによるプラズマ処理を施した後に、該表面に第二の絶縁膜を堆積させることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第一の絶縁膜の表面にN₂H₄ガスとNH₃ガスによるプラズマ処理を施して該表面に第二の絶縁膜を堆積させた後に、その表面に第三の絶縁膜を堆積させることを特徴とした請求項1記載の半導体装置の製造方法。

【請求項4】 前記第一の絶縁膜は、アモルファスカーボン水素膜、アモルファスカーボンフッ素膜又はアモルファスシリコン膜のいずれかであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記第二の絶縁膜は、減圧CVD法を用いてSiH₄ガス及びH₂O₂ガスとN₂ガスを反応材料として665Pa以下の真空中で-10°C以上+10°C以下の半導体基板温度で互いに反応させることによってリフロー性SiO₂膜を形成し、続いて300°C~400°Cの成膜温度でのプラズマCVD法によってP-SiON膜を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 前記第二の絶縁膜は、SiO₂ガスを主成分としたTEOSガスとO₂ガスを主反応物とし、常圧から140Paの圧力範囲で300°C~600°CにてCVD法でSiO₂膜を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 前記第一の絶縁膜は、フッ素を添加させたTEOS膜であることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に係わり、特に多層配線構造を有する半導体装置の層間絶縁膜を形成するための製造方法に関する。

【0002】

【従来の技術】 半導体装置の集積度が増大するにつれて、半導体基板上に配線材料を多層にわたって形成するいわゆる多層配線化が進行しており、このような多層配線構造を有する半導体装置の製造工程が複雑化してきており、製品歩留まり低下や製造コスト増大の大きな要因として問題視されている。

【0003】 特に、様々な形態で行われている多層配線

形成工程は、半導体装置の製造価格に占有する割合が大きいため、半導体装置のコストダウンを図るうえで多層配線工程のコスト低減化は必須の要件になっている。

【0004】以下、図面を参照して通常実施されている多層配線の形成工程を説明する。図4は多層配線形成工程のフロー図であり、図5はそれによって生成された膜の断面図である。

【0005】すなわち、通常の多層配線の形成工程では、先ず、半導体基板11の上に下層配線用の第一の配線材料を堆積後、その第一の配線材料に所定の下層配線用のバターニングを行い配線パターン12を形成する。

【0006】次に、バターニングされた配線パターン12の上にプラズマCVD法等で第一絶縁膜13を形成すると共に配線パターン12相互間に絶縁膜を埋め込む。(S1b)

この時点では、第一絶縁膜13の表面は配線パターン12等の影響を受け凹凸が存在していて、そのままではその後の上層配線用の配線材料の堆積時や、上層配線のバターニング時に悪影響を及ぼし、上層配線の段切れに起因する断線不良を発生させる恐れがある。

【0007】そのため、通常は、上層配線用の配線材料を堆積する前に、その下地である第一絶縁膜13の表面をレジストエッチパツク法やCMP(Chemical Mechanical Polishing)法等で平坦化処理を施している。(S2b)

次に、平坦化処理された第一絶縁膜13の上に第二絶縁膜14を生成する。(S3b)

また、第一絶縁膜13の表面を平坦化する方法の替わりに、第一絶縁膜13の上に絶縁材料である図示しないSOG(Spin On Glass)膜を形成して上層配線材料の下地段差を緩和する方法も知られている。

【0008】また、近年、層間絶縁膜表面の平坦化技術の一つの例として、APL(Advanced Planarization Layer)プロセスが報告(文献:Matsuura et al. IEE ETech. Dig. pp117, 1994)されている。

【0009】このAPLプロセスは、図6に示すように、先ず、半導体基板11の上に下層配線用の第一の配線材料を堆積後、その第一の配線材料に所定の下層配線用のバターニングを行い配線パターン12を形成する。次に、層間絶縁膜の形成として、SiH₄ガスと酸化剤であるH₂O₂(過酸化水素水)とを低温(例えば0°C)・真空中で反応させることによって、下層配線上に自己流動性(リフロー)のSiO₂膜を形成する。(S1c)

その後、この第二絶縁膜14の上にキャップ膜としてP-SiON膜15を形成する。(S4c)更に、P-SiON膜14にファーネスアニール処理(S5c)を施して、成膜された膜の水分を除去した後に、次工程に移

行している。

【0010】この方法は、下層配線の配線相互間の絶縁膜の埋め込みと絶縁膜表面の平坦化を同時に達成できるため、一回の成膜で平坦化までの工程を終了することができる。従って、多層配線工程のコスト及び工程の低減化要求には応えることができる。

【0011】

【発明が解決しようとする課題】しかしながら、上層の配線材料を堆積する前に、その下地である絶縁膜の表面をレジストエッチバツク法やCMP (Chemical

Mechanical Polishing) 法等で平坦化して段差を緩和する方法では、P-SiON膜のような層間絶縁膜の形成工程は1回目の成膜から2回目の成膜へと進むに従って多層になる毎に工程数が多くなりコストも高くなり、前述したような多層配線工程の低減化の要求に対しての大きな障害となっている。

【0012】また、第一絶縁膜上に絶縁材料であるSOG膜を形成する方法は、SOG膜の形成（塗布及び焼成）に際して、多くの回数の熱処理工程が必要であるばかりでなく、配線の信頼性を確保するためにSOG膜の不要部分をレジストエッチバツク法等で除去する工程が必要になる。そのため、工程数が多くなり多層配線工程の低減化要求に対して十分応えることが出来ないのが現状である。

【0013】また、APLプロセスは、生成される膜自体は優れた特性があるが、自己流動性を有する膜には以下の問題点が存在する。

【0014】すなわち、微細配線化が進行するに伴って、配線間及び層間絶縁膜間の間隔によっては、設計回路自体の遅延時間が大きく関係てくる。そのため、層間絶縁膜に依る比誘電率が大きく影響する。つまり、層間絶縁膜の誘電率が所定値以内で安定していることが要求されるが、APLプロセスによる無機膜は自己流動性のため比誘電率の安定性が保証できない惧れがある。

【0015】また近年、ホットキャリアによる信頼性の寿命の劣化や、素子特性の変動についての問題が生じてきている。

【0016】そのため、近年、低誘電率な代表的な膜として、アモルファスカーボン水素膜、アモルファスカーボンフッ素膜やアモルファスシリコン膜が注目されている。

【0017】しかし、これらの有機膜は単膜のみでは平坦性に関しては層間絶縁膜として機能しないため、微細配線化が進行すると共に深刻な問題になっている。

【0018】上記の課題を解決するために、本発明は、多層配線工程の層間絶縁膜の形成工程で、低誘電率な有機膜として、アモルファスカーボン水素膜、アモルファスカーボンフッ素膜やアモルファスシリコン膜を用いても、平坦化のためのAPL膜やTEOS膜のフロー性を損ねることなく形成が可能な絶縁膜の形成方法を提供す

るものである。

【0019】つまり、本発明では平坦化のためにAPL膜を適用した場合には、アモルファスカーボン水素膜又はアモルファスカーボンフッ素膜又はアモルファスの各々膜の表面をN_x等とN_xOプラズマ処理を施し、また、O_xTEOS膜を適用した場合には、同様に膜の表面をH_x等とNH_xプラズマ処理をすることによって良好な絶縁膜を提供するものである。

【0020】

10 【課題を解決するための手段】本発明によれば、表面に素子または配線を有する半導体基板の前記表面に第一の絶縁膜を堆積する半導体装置の製造方法において、前記第一の絶縁膜は、プラズマCVD法により形成された後に、その表面にN_xOガスとO_xガスによるプラズマ処理、又はN_xガスとNH_xガスによるプラズマ処理を施すことを特徴とする半導体装置の製造方法にある。

【0021】また本発明によれば、前記第一の絶縁膜の表面にN_xOガスとO_xガスによるプラズマ処理を施した後に、該表面に第二の絶縁膜を堆積させることを特徴とする半導体装置の製造方法にある。

【0022】また本発明によれば、前記第一の絶縁膜の表面にN_xガスとNH_xガスによるプラズマ処理を施して該表面に第二の絶縁膜を堆積させた後に、その表面に第三の絶縁膜を堆積させることを特徴とした半導体装置の製造方法。

【0023】また本発明によれば、前記第一の絶縁膜は、アモルファスカーボン水素膜、アモルファスカーボンフッ素膜又はアモルファスシリコン膜のいずれかであることを特徴とする半導体装置の製造方法。

30 【0024】また本発明によれば、前記第二の絶縁膜は、減圧CVD法を用いてSiH_xガス及びH_xO_xガスとN_xガスを反応材料として665Pa以下の真空中で-10°C以上+10°C以下の半導体基板温度で互いに反応させることによってリフロー性SiO_x膜を形成し、続いて300°C~400°Cの成膜温度でのプラズマCVD法によってP-SiON膜を形成することを特徴とする半導体装置の製造方法にある。

【0025】また本発明によれば、前記第二の絶縁膜は、SiO_xガスを主成分としTEOSガスとO_xガスを主反応物とし、常圧から140Paの圧力範囲で300°C~600°CにてCVD法でSiO_x膜を形成することを特徴とする半導体装置の製造方法にある。

【0026】また本発明によれば、前記第一の絶縁膜は、フッ素を添加させたTEOS膜であることを特徴とする半導体装置の製造方法にある。

【0027】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0028】図1は本発明の実施の形態を示す成膜工程のフロー図で、図2は各工程で生成された成膜の断面図

7
一ボンフッ素膜については疎水性に作用させ、有機膜と無機膜との複合化作用により、絶縁膜を低誘電率で平坦な膜の成膜が可能となった。

【0053】なお、上述の実施の形態では平坦化のため APL 膜を適用した場合には、アモルファスカーボン水素膜又はアモルファスカーボンフッ素膜又はアモルファスの各々膜の表面を N₂ と N₂O プラズマ処理を施し、また、O₃ TEO₃ 膜を適用した場合には、同様に膜の表面を H₂ と NH₃ プラズマ処理を施すことによって良好な絶縁膜を得たが、NO₂ ガスあるいは O₂ ガスの代わりに CO₂ ガス、CO ガス、NO ガス、NO₂ ガスあるいは SO₂ ガスを用いてもよく、又、H₂ ガスあるいは NH₃ ガスの代わりに TeH₄ ガス、ShH₄ ガス、H₂ ガス、B₂H₆ ガス、PH₃ ガス、C₂H₆ ガス、HF ガス、NF₃ ガス、CHF₃ ガス、H₂S ガス、H₂Se ガス、HBr ガスあるいは HC1 ガスを用いてもよい。

【0054】それらによって、半導体基板 1 に形成した素子及や配線の上に低誘電率で、かつ、ホットキャリア耐性の両立が可能な膜の形成ができるようになった。

【0055】図3はホットキャリア特性結果を示すグラフである。なお、ホットキャリアの特性の測定は、NMT_r でゲート幅/長 = 12/0.6、ゲート酸化膜 = 25 nm (LDD構造) (Vd = 7.0 V, Vg = 5.0 V) の 10000 秒後の 3極管の相互コンダクタンスの変動率について測定した。

【0056】また、従来技術及び本発明によるもののベース膜はアモルファスカーボン水素膜を採用した。その際に本発明ではベース膜形成後にリフロー SiO₂ 膜を成膜し、その後にリフロー SiO₂ 膜のキャップとして、CAP 膜を成膜し、その後、リフロー SiO₂ 膜の水分を抜く工程としてアニール処理を施した。

【0057】この結果より、本発明による膜構造でのホ*

* ホットキャリア変動率は従来のベース膜を採用した場合でも変化のない結果が得られている。従って、本発明による膜構造は有効であることが確認できた。

【0058】

【発明の効果】本発明は、多層配線工程中の層間絶縁膜の形成工程で、低誘電率な膜として、アモルファスカーボン水素膜、アモルファスカーボンフッ素膜やアモルファスシリコン膜等の有機膜を用いても、各々膜の表面をプラズマ処理を施すことにより、その有機膜の上に生成する APL 膜や TEO₃ 膜のように、いわゆる下地表面の依存性に敏感な膜に対して、アモルファスカーボン水素膜については親水性、アモルファスカーボンフッ素膜については疎水性に作用させ、有機膜と無機膜との複合化作用により、絶縁膜を低誘電率で平坦な膜の成膜が可能となった。

【0059】これにより、良好な多層の絶縁膜の上に応じた多層の回路が形成された半導体の特性が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態を示す成膜工程のフロー図。

【図2】本発明の製造方法の各工程で生成された成膜の断面図。

【図3】本発明の製造方法で生成された成膜のホットキャリア特性結果を示すグラフ。

【図4】従来の多層配線形成工程のフロー図。

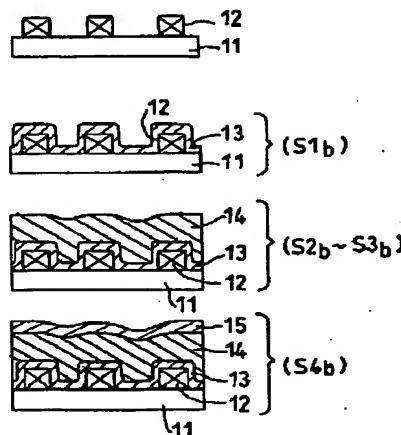
【図5】従来の多層配線形成工程によって生成された膜の断面図。

【図6】従来の別の多層配線形成工程のフロー図。

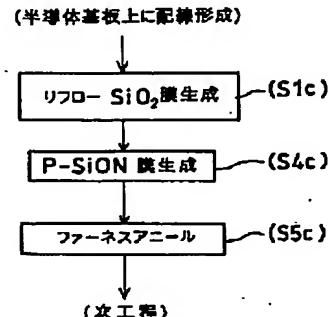
【符号の説明】

30 1、11…半導体基板、2、12…配線バターン、3、13…第一絶縁膜、4、14…第二絶縁膜、5、15…P-SiO₂ 膜 (第三絶縁膜)

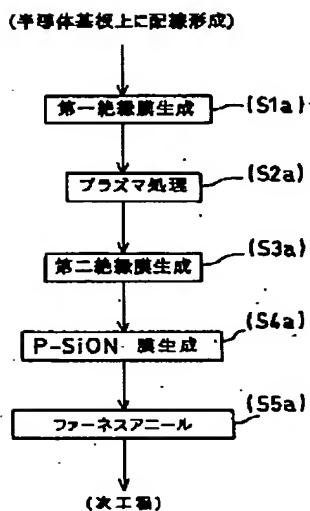
【図5】



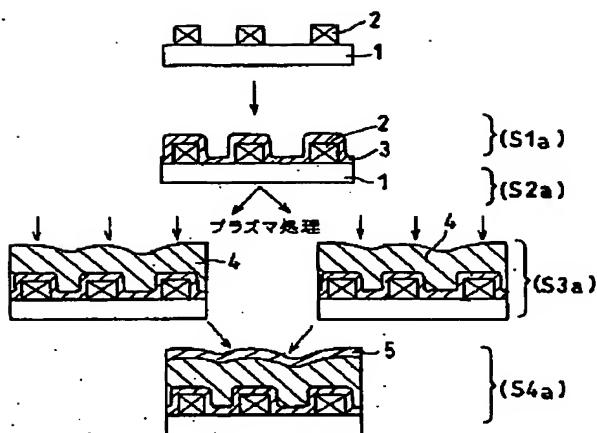
【図6】



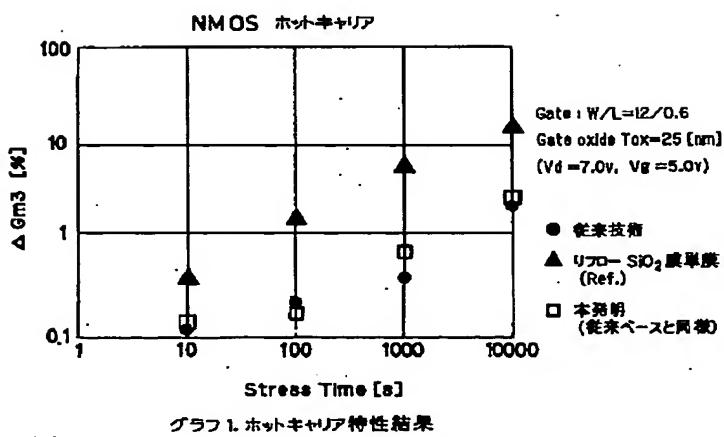
【図1】



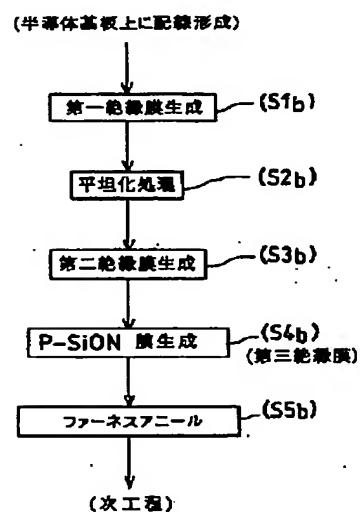
【図2】



【図3】



【図4】



フロントページの続き

F ターム(参考) SF045 AA08 AB04 AB07 AB32 AB34
AB39 AC01 AC09 AC11 AC12
AC15 AD03 AD05 AD07 AD08
AD09 AE11 AE13 AE15 AE17
AE19 AE21 BB02 BB16 CB05
DC52 GH03 HA13 HA16
SF058 AA10 AC10 AD02 AD10 AD12
AF02 AG07 AH01 AH02 BA06
BA20 BD02 BD04 BD15 BD18
BE04 BE10 BF04 BF07 BF23
BF24 BF25 BF26 BF29 BF30
BF54 BF55 BF60 BH01 BH04
BH16 BJ01 BJ02